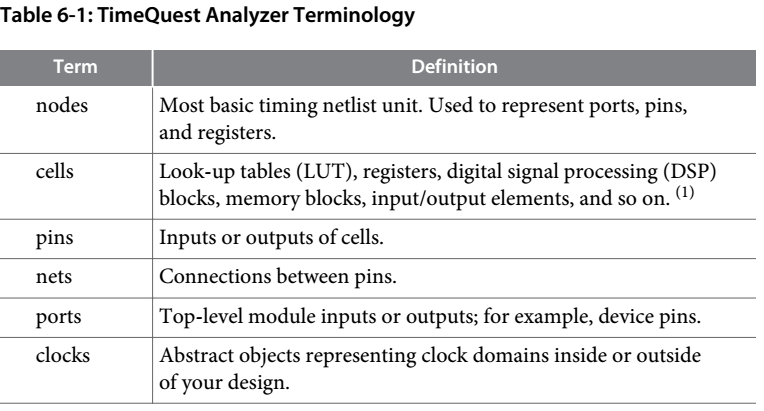
时序分析分析

时序分析基础：

综合布线之后的文件为一网表，它由下面的元素组成



1. Cells： Altera 器件中的基本结构单元。 包括LUT，寄存器，DSP，memory blocks，I/O elements，LE也可以看作是 Cell。

2. Pins： Cell 的输入输出端口。可以认为是 LE 的输入输出端口。注意：这里的 Pins 不包括器件的输入输出引脚，代之以输入引脚对应 LE 的输出端口和输出引脚对应 LE 的输入端口。

3. Nets：从输入 Pin 到输出 Pin 经过的逻辑。还要注意：虽然连接两个相邻 Cell 的连线不被看作 Net，但是这个连线还是有其物理意义的，等价于 Altera 器件中一段布线逻辑，会引入一定的延迟（IC，Inter-Cell）。和手册有矛盾

4. Ports：顶层逻辑的输入输出端口。对应已经分配的器件引脚。

5. Clocks：约束文件中指定的时钟类型的 Pin。不仅指时钟输入引脚。

6. Keepers：泛指 Port 和寄存器类型的 Cell。

7. Nodes：范围更大的一个概念，可能是上述几种类型的组合，还可能不能穷尽上述几种类型。

时序分析的对象：Edge，Edge的起止路径包括三种类型

1. Edge paths: connections from ports-to-pins, from pins-to-pins, and from pins-to-ports.

2. Clock paths：从 Clock Port 或内部生成的 clock Pin 到寄存器 Cell 的时钟输入 Pin。

3. Data paths：从输入 Port 到寄存器 Cell 的数据输入 Pin，或从寄存器 Cell 的数据输出 Pin 到另一个寄存器 Cell 的数据输入 Pin。

4. Asynchronous paths：从输入 Port 到寄存器 Cell 的异步输入 Pin，或从寄存器 Cell 的数据输出 Pin到另一个寄存器 Cell 的异步输入 Pin。

Edge是指时钟沿，包括

1. Launch Edge：前级寄存器发送数据对应的时钟沿，是时序分析的起点。

2. Latch Edge：后级寄存器捕获数据对应的时钟沿，是时序分析的终点。

公式：

1. Data Arrival Time： Launch Edge + 前级寄存器 Clock path 的延时 + 前级寄存器 Cell 从时钟 Pin到数据输出 Pin 的 Net 延时（ uTco） + Data path 的延时。

2. Data Required Time： Latch Edge + 后级寄存器 Clock path 的延时（ + uTh）或（ - uTsu）。

3. Clock Arrival Time： Latch Edge + 后级寄存器 Clock path 的延时。